

CONTADORES

Son circuitos digitales lógicos secuenciales de salida binaria o cuenta binaria, característica de temporización y de memoria, por lo cual están constituidos a base de [flip-flops](#).

CARACTERISTICAS IMPORTANTES

1. Un número máximo de cuentas (módulo del contador)
2. Cuenta ascendente o descendente.
3. Operación síncrona o asíncrona.
4. Autónomos o de autodetención.

UTILIDAD

Se utilizan para contar eventos.

Ejemplos:

1. número de pulsos de reloj.
2. medir frecuencias.
3. Se utilizan como divisores de frecuencia y para almacenar datos.
Ejemplo: en un reloj digital.
4. Se utilizan para direccionamiento secuencial y algunos circuitos aritméticos.

CONTADORES DE RIZADO.

Son dispositivos contadores que tienen conectados los [flip-flops](#) en forma asíncrona, es decir, que no tienen conectadas las entradas de reloj (CLK) en paralelo, sino que tiene que esperar que el primer [flip-flop](#), al activarse por el pulso conmute generando una salida, la cual active o coloque en modo de conmutación al siguiente flip-flop, el cual con el siguiente pulso conmuta activando al siguiente y así sucesivamente. El modo de conmutación en los [flip-flop](#) se consigue colocando las entradas J y K en ALTA (1 lógico).

El módulo de un contador está determinado por la cuenta máxima a la que es diseñado, es decir, si el contador es diseñado para que cuente de 0 a 15 su módulo es el 16 (contador módulo 16) y simplificado se denomina contador mod-16, si es diseñado para contar de 0 a 9 será un contador módulo 10 o mod-10, etc.

CONTADOR DE RIZADO MODULO- 16.

Este contador se encuentra constituido por [flip-flop JK](#) en modo de conmutación al mantener presente en las entradas J y K un 1 lógico y conectados entre si de forma asíncrona, es decir, que la salida del flip-flop 1 (FF1) está conectada de forma directa a la entrada de reloj del siguiente flip-flop 2 (FF2). Los indicadores de salida dan una señal binaria, donde el indicador A (QA) es el LSB (Bit Menos Significativo), el indicador D (QD) es el MSB (Bit Más Significativo).

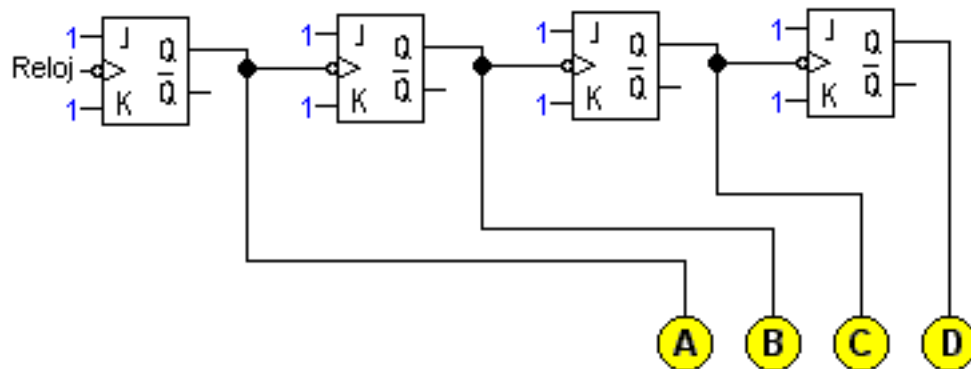


Figura 1: Contador de rizado mod-16

El circulito en la entrada de reloj (CLK) de los flip-flops, nos indica que trabajan o conmutan con lógica negativa, es decir, que se activan en la transición de ALTA a BAJA (flanco posterior) del pulso de reloj y la salida del FF1 (QA) va del nivel BAJO al ALTO dando como resultado la cuenta binaria 0001. En el pulso 2, en la transición del nivel ALTO a BAJO, FF1 se desactiva pasando su salida del nivel ALTO a BAJO, activando el FF2, conmutando la salida del nivel BAJO a ALTO generando la cuenta 0010, en el pulso 3 del reloj se activa FF1 generando la salida 0011, porque FF2 se encuentra en mantenimiento teniendo su salida (QB) activada, en el siguiente pulso se incrementa la cuenta a 0100, según se observa en el diagrama de tiempo de la figura 2.

[illegible]

0	0	0	0	0	8	1	0	0	0
1	0	0	0	1	9	1	0	0	1
2	0	0	1	0	10	1	0	1	0
3	0	0	1	1	11	1	0	1	1
4	0	1	0	0	12	1	1	0	0
5	0	1	0	1	13	1	1	0	1
6	0	1	1	0	14	1	1	1	0
7	0	1	1	1	15	1	1	1	1

Tabla 1: Secuencia de un contador mod-16

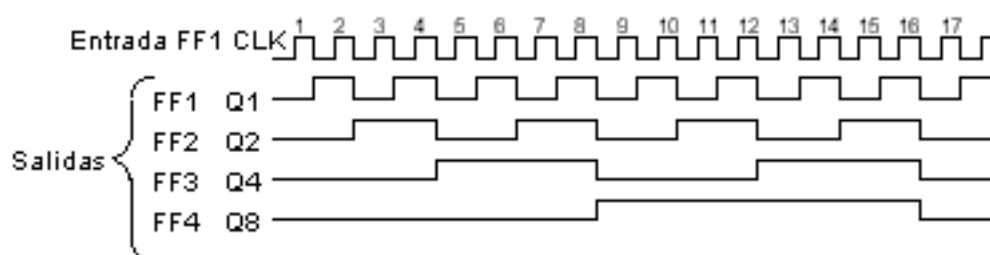
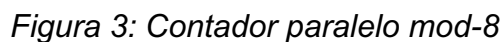


Figura 2: Diagrama de tiempos de un contador mod-16

CONTADORES PARALELOS

Con este tipo de contadores se elimina o se atenúa el retardo que se presenta en los contadores asíncronos, donde se tiene que esperar que un [flip-flop](#) active al otro. Este efecto se consigue conectando el reloj directamente a las entradas de reloj (CLK) de los [flip-flops](#), es decir, conectando los pulsos de reloj en paralelo (síncronamente) y las salidas de los [flip-flops](#) a las entradas J y K de los mismos.

CONTADOR PARALELO DE 3 BITS MOD-8.



Cuenta Binaria	Cuenta decimal

0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

Tabla 2: Secuencia de un contador mod-8

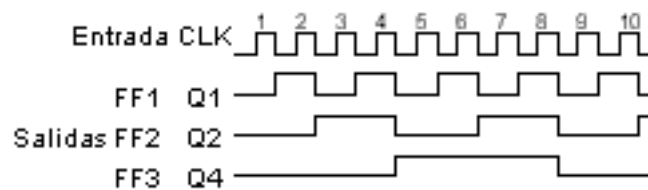


Figura 4: Diagrama de tiempos de un contador mod-8

OTROS CONTADORES.

Estos contadores no llegan a su cuenta máxima, por que se interrumpe su cuenta según el diseño o la necesidad que se tenga, por ejemplo, un contador MOD-6 o MOD-10.

CONTADOR DE RIZADO MOD-6.

Para conseguir este tipo de contador de bits, se utiliza una entrada de reset o borrado la cual se activa inmediatamente después de la cuenta más alta que se necesite, en este caso en la cuenta 110, colocando los [flip-flops](#) en 0 lógico. En la figura 5 se muestra el esquema de un contador mod-6.

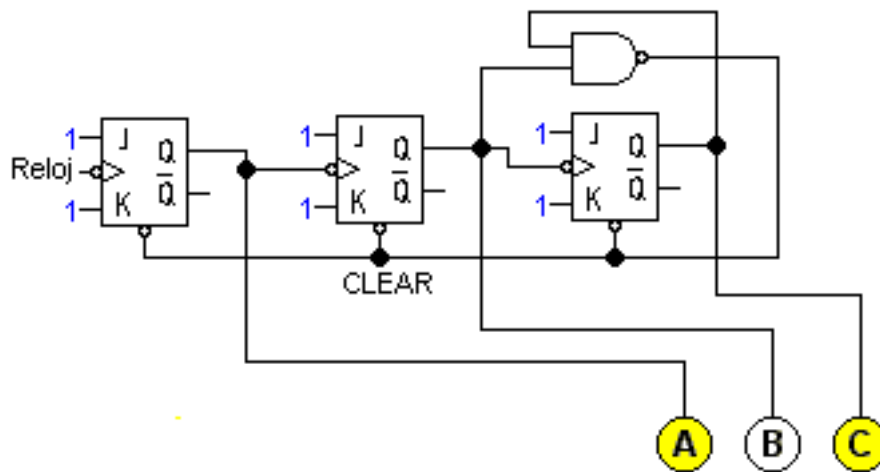


Figura 5: Esquema lógico de un contador de rizado mod-6

Este trabajo de activar las entradas de reset de cada [flip-flop](#) lo realiza una puerta [NAND](#) la cual da un 0 lógico a las entradas de reset. Al recibir en las entradas de la [NAND](#) los 1 lógicos de las salidas del FF2 y del FF3 colocándolos en 0 lógico todos los [flip-flops](#) y así el contador comienza de nuevo a contar desde 000 hasta 101 o inversamente si es de cuenta descendente.

C	B	A	Cuenta decimal
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	RESET
1	1	1	

Tabla 3: Secuencia de un contador mod-6

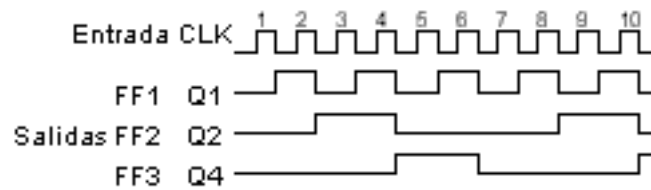


Figura 6: Diagrama de tiempos del contador mod-6

El retardo que es causado en el pulso 6 cuando va del nivel ALTO a BAJO hasta que FF2 y FF3 son puestos a 0 en el punto B del diagrama de tiempo, se le denomina tiempo de propagación y éste depende del retardo de propagación del [flip-flop](#) y de la [puerta](#) que se esté utilizando, este retardo de propagación en la familia [TTL](#) es del orden de unos 30ns (nanosegundos). En las otras familias son mayores.

CONTADOR DECADA (CUENTA DECENAS)

Es uno de los más utilizados, esta construido a base de 4 [flip-flops JK](#) y una puerta [NAND](#) la cual pone en 0 los [flip-flops](#) al llegar la cuenta máxima (1010). Como se sabe un contador de 4 bits, llega a una cuenta máxima binaria de 1111 que equivale a 16 en decimal, por lo que la puerta [NAND](#) debe activarse inmediatamente después de la cuenta 1001 0 9 en decimal para que el contador sea mod-10.

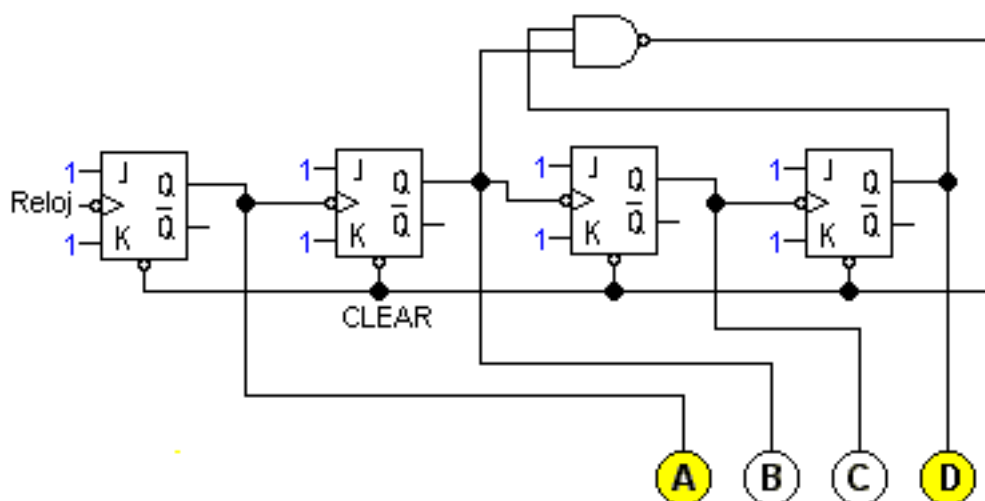


Figura 7: Diagrama lógico de un contador década rizado

Entonces, como la cuenta inmediatamente después de 1001 es 1010, entonces se conectan las entradas de la puerta [NAND](#) a las salidas de FF2 (QB) y FF4 (QD) que al mandar los unos a las entradas de la [NAND](#), la activan enviando un pulso a las entradas de reset (borrado o CLR) de los [flip-flops](#) colocándolos en cero y reiniciando la cuenta.

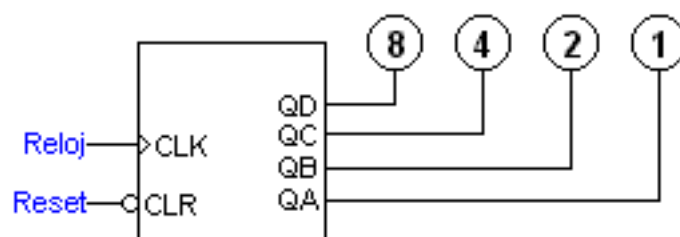


Figura 8: Símbolo lógico simplificado de un contador década

CONTADORES DESCENDENTES

Son los contadores en los cuales su cuenta va en sentido inverso a la normal, es decir, de 16 a 0 o en binario de 1111 a 0000. (si es de mod-16)

CONTADOR DE RIZADO DESCENDENTE DE 3 BITS

Esta diseñado similarmente a los demás contadores, con la diferencia que este trae en los [flip-flops](#) una salida negada (1), la cual da el pulso contrario a la salida normal (Q), es decir, cuando Q es positivo, 1 es negativo. Esta salida 1 es la que va a ir conectada a la entrada de reloj (CLR) de los otros flip-flops, de resto todas las conexiones son iguales como se muestra en la figura 9.

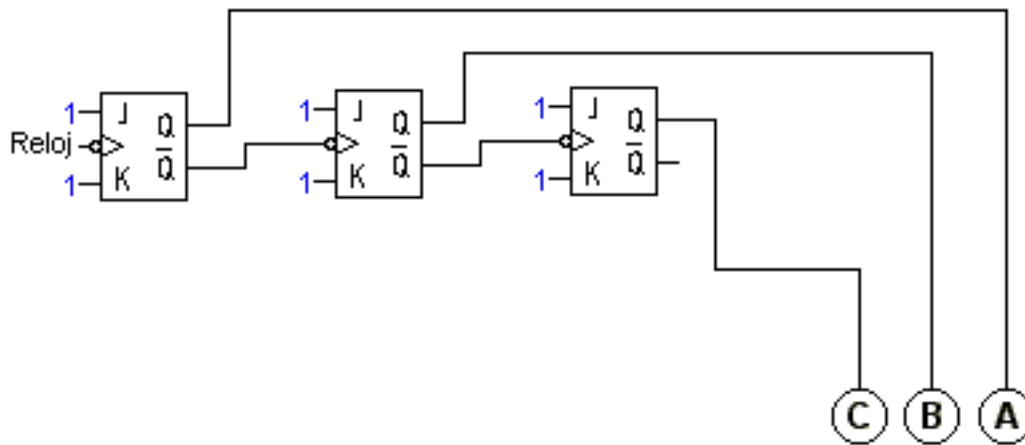


Figura 9: Contador de rizado descendente de 3 bits

El funcionamiento es el siguiente: al tener los 3 [flip-flops](#) sus entradas J y K en estado de conmutación (ambas entradas en ALTO) y sus salidas Q activadas o en estado de SET en los [flip-flops](#), al llegar el primer pulso en la transición de ALTO a BAJO, el FF1 conmuta, con lo cual Q va del nivel ALTO a BAJO y 1 va del nivel BAJO al ALTO y la cuenta pasa de 111 a 110 (de 7 a 6 en decimal), en el pulso 2 en la transición de ALTO a BAJO, FF1 conmuta con lo cual la salida Q va del nivel BAJO al ALTO y la salida 1 va del nivel BAJO al ALTO y se genera la cuenta 101 (5 en decimal) y así hasta llegar a la cuenta máxima, que en este caso es 0000 como se muestra en el diagrama de tiempo,

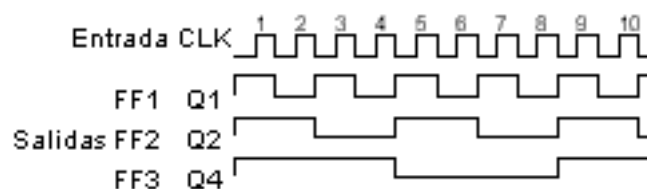


Figura 10: Diagrama de tiempos de un contador descendente de 3 bits

CONTADORES CON CI TTL

Son circuitos integrados donde vienen incluidos los flip-flops conectados según el tipo de contador y las puertas. Estos contadores se pueden llamar de propósito general. El CI [74192](#) es un contador reversible BCD síncrono TTL, es decir, módulo-10. Tiene doble entrada de reloj, una para cuenta ascendente y una para cuenta descendente que conmutan en la transición del nivel BAJO al nivel ALTO del pulso. La entrada de borrado síncrono se activa en nivel ALTO colocándo las salidas en nivel BAJO (0000) y se inicializa en cualquier número que se cargue en las entradas de datos en forma binaria y se

transfieren asíncronamente a la salida BCD ($A=Q_A$, $B=Q_B$, $C=Q_C$, $D=Q_D$). La salida de arrastre se utiliza para conectar en cascada serie varios contadores.

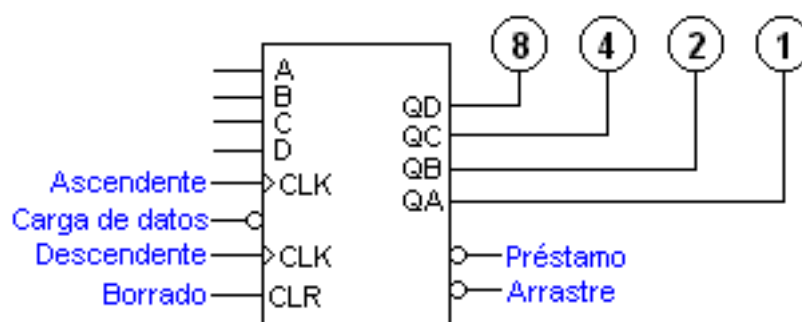


Figura 11: Símbolo del contador 74192

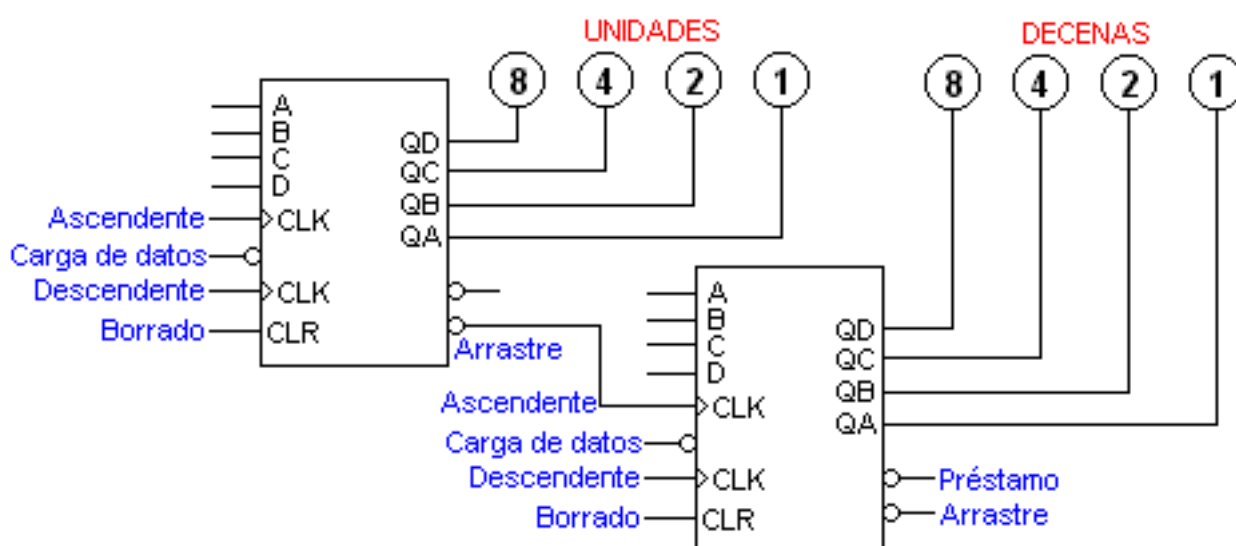


Figura 12: Conexión en cascada de dos contadores de 0 a 99

CONTADOR BINARIO DE 4 BITS TTL 7493.

El contador [7493](#) utilizan 4 [flip-flops JK](#) en modo de conmutación, con entradas de reloj CP0 y CP1 en donde CP1 es la entrada de reloj del segundo [flip-flop](#) por lo que para formar un contador de 4 bits mod-16 hay que conectar la salida del primer flip-flop de manera externa (puente) con la entrada CP1 , quedando CP0 como la entrada de reloj del contador. También tiene dos entradas de reset (MR1 y MR2) las cuales no se deben dejar desconectadas (flotando) porque, como estas se activan en ALTA, al estar flotando toman un nivel ALTO lo que mantendría en reset al contador.

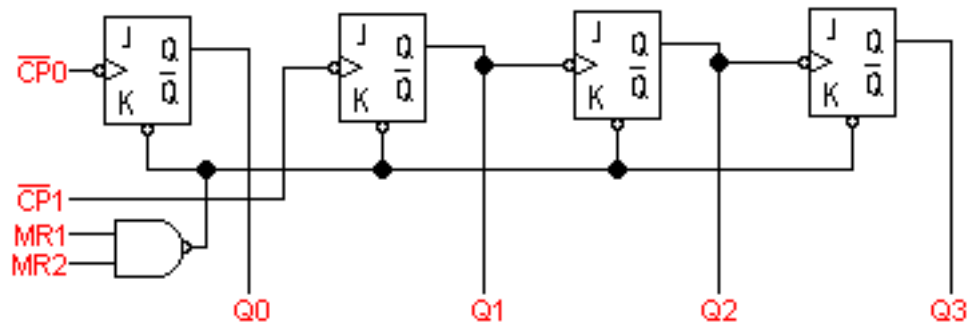


Figura 13: Contador 7493

CONTADORES CON CI CMOS.

CONTADOR CMOS 74HC393

El CI [74HC393](#) es un doble contador binario de 4 bits. Está construido a base del [flip-flop T](#). Las entradas de reloj (1CP y 2CP) son activadas por flanco posterior, o sea, en la transición de ALTO a BAJO del pulso de reloj. Las entradas de reset (1MR y 2MR) del maestro en el contador se activan en nivel ALTO, las salidas se etiquetan desde Q0 a Q3, siendo Q0 el LSB y, Q3 el MSB del número binario de 4 bits. Requiere una fuente de alimentación de 5V DC y viene en un CI DIP de 14 patillas.

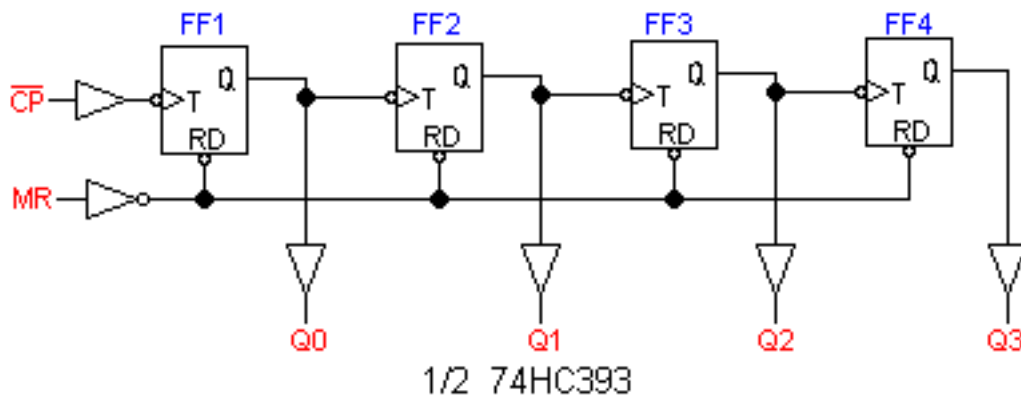


Figura 14: Diagrama lógico del contador CMOS 74HC393

CONTADOR CMOS CI 74HC193

El CI [74HC193](#) es un contador reversible síncrono de 4 bits preinicializable como lo muestra la hoja de datos.

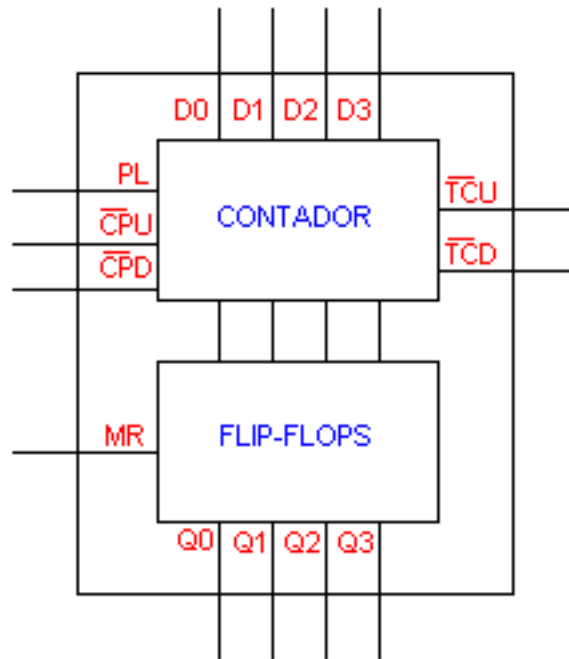


Figura 16: Contador CMOS 74HC193

Tiene 2 entradas de reloj (CPU y CPD), que se activan en la transición del nivel BAJO al ALTO del pulso de reloj, la entrada CPU es para la cuenta ascendente (UP) y la entrada CPD es para la cuenta descendente (D), por lo que dependiendo si el contador que se necesite se conecta al nivel alto o +5V. Los modos de operación del contador CMOS [74HC193](#) se muestran en la tabla de verdad 5. El modo de reset borra asincrónicamente las salidas (Q0 a Q3) al binario 0000 activándose en ALTO el cual puede ser un pulso de corta duración. Las entradas de carga de datos en paralelo (D0 a D3) se utilizan para programar un número en binario desde donde se quiere que empiece a contar de nuevo al activar la entrada de carga en paralelo (P) con un nivel BAJO y los datos son transferidos asincrónicamente a las salidas (Q0 a Q3). Las salidas de arrastre TCU y TCD generan un pulso negativo, para la conexión en cascada de contadores, ya sea en forma ascendente o en forma descendente la cuenta de estos. El contador [74HC193](#) viene en un DIP de 16 patillas y opera con una tensión de alimentación de +5V DC.

DIVISION DE FRECUENCIA: EL RELOJ DIGITAL.

En un contador digital de salida binaria el retraso que se forma al activarse cada [flip-flop](#) a determinado pulso de reloj, en realidad es una división de frecuencia, por ejemplo, en un contador de 4 bits la salida QA divide la frecuencia en 2 porque necesita un pulso para activarse y otro para desactivarse, la salida QB divide en 4 la frecuencia del reloj de entrada

porque tiene que esperar que pasen los 2 pulsos en la salida QA para poder activarse y otros 2 pulsos para desactivarse, la salida QC es una salida que divide por 8 y la salida QD divide por 16.

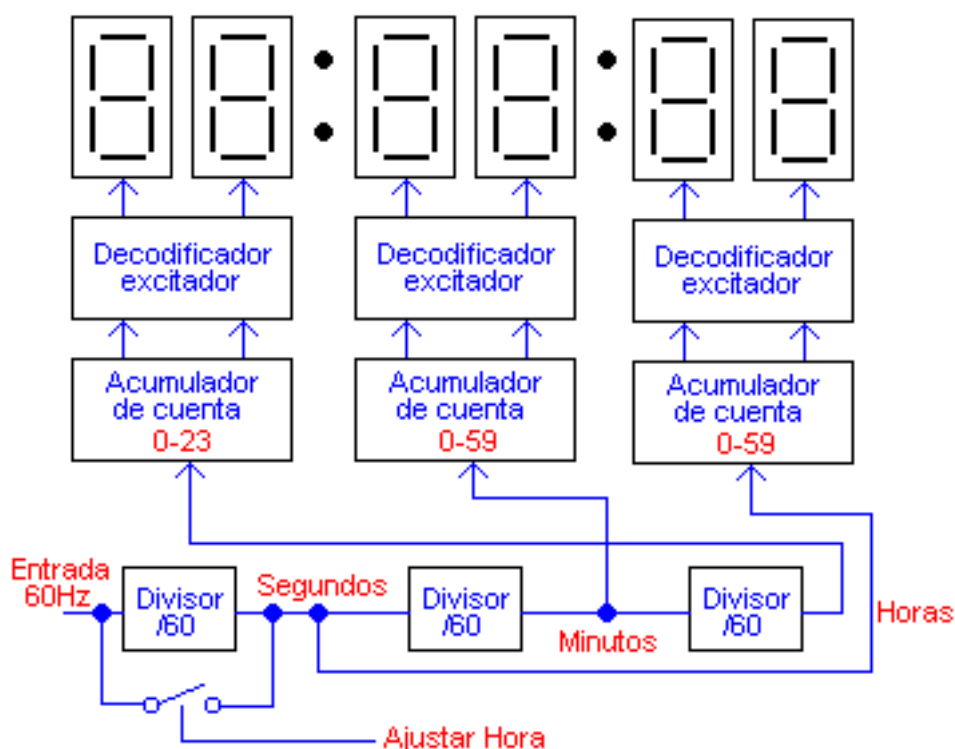


Figura 20: Diagrama de bloques de un reloj digital.

El reloj digital utiliza los contadores como divisores de frecuencia y acumuladores de cuenta. La función del contador como acumulador de cuentas es contar los pulsos de entrada y sirve como memoria temporalmente mientras muestra la hora actual que es decodificada y pasada a los visualizadores de hora. Los contadores como divisores de frecuencia tienen en su entrada una onda cuadrada de 60 Hz, el bloque divisor por 60, es construido por un contador divisor por 6, conectado a un contador divisor por 10.

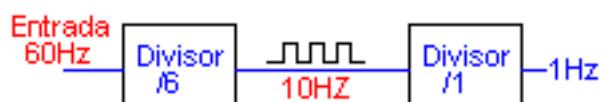


Figura 21: Contador divisor por 60

El contador divisor por 6 transforma los 60 Hz en 10 hz y el contador divisor por 10 transforma los 10Hz en 1Hz o 1 pulso por segundo. El contador divisor por 10 es construido con un CI [7493](#) por lo que la primera conexion que se debe hacer es un puente entre Q0 y CP1 para convertirlo en un contador de 4 bits, en segundo lugar el CI debe convertirse en un

contador decadal (mod-10) como se explico anteriormente, conectando Q3 y Q1 a las 2 entradas de reset. El contador divisor por 6 es hecho con un CI [7493](#) conectando la entrada de reloj a ÇP1, es decir, que el primer [flip-flop](#) (entrada ÇP0) no se utiliza. Los acumuladores de cuenta de 0 a 59 son 2 contadores en donde uno es un contador mod-10 para acumular las unidades (0 al 9) de los segundos y el otro es un contador mod-6 que recibe el pulso de arrastre del mod-10 para contar las decenas de los segundos. Los decodificadores/excitadores sirven para decodificar la salida BCD al visualizador de 7 segmentos.