

FLIP-FLOPS

Los circuitos lógicos se clasifican en dos categorías. Los grupos de puertas descritos hasta ahora, y los que se denominan circuitos lógicos secuenciales. Los bloques básicos para construir los circuitos lógicos secuenciales son los flip-flops. La importancia de los circuitos lógicos se debe a su característica de memoria. Los flip-flops también se denominan "cerrojos", "multivibradores biestables" o "binarios".

FLIP-FLOPS RS

Este es el flip-flop básico, su símbolo es el siguiente:

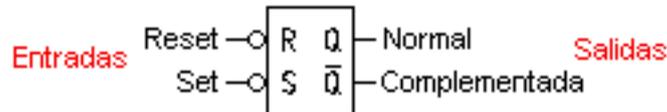


Figura 1: Símbolo lógico de un flip-flop SR

El flip-flop tiene dos entradas R (reset) y S (set), se encuentran a la izquierda del símbolo. Este flip-flop tiene activas las entradas en el nivel BAJO, lo cual se indica por los circulitos de las entradas R y S. Los flip-flop tienen dos salidas complementarias, que se denominan Q y \bar{Q} , la salida Q es la salida normal y $\bar{Q} = 0$. El flip-flop RS se puede construir a partir de puertas lógicas. A continuación mostraremos un flip-flop construido a partir de dos puertas [NAND](#), y al lado veremos su tabla de verdad correspondiente.

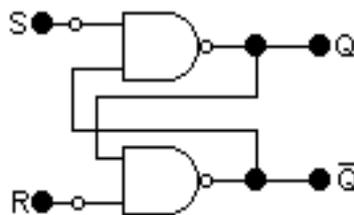


Figura 2: Circuito equivalente de un flip-flop SR

Modo de operación	Entradas		Salidas	
	S	R	Q	\bar{Q}
Prohibido	0	0	1	1
Set	0	1	1	0
Reset	1	0	0	1
Mantenimiento	1	1	No cambia	

Tabla 1: Tabla de verdad del flip-flop SR

Observar la realimentación característica de una puerta **NAND** a la entrada de la otra. En la tabla de la verdad se define la operación del flip-flop. Primero encontramos el estado "prohibido" en donde ambas salidas están a 1, o nivel ALTO. Luego encontramos la condición "set" del flip-flop. Aquí un nivel BAJO, o cero lógico, activa la entrada de set(S). Esta pone la salida normal Q al nivel alto, o 1. Seguidamente encontramos la condición "reset". El nivel BAJO, o 0, activa la entrada de reset, borrando (o poniendo en reset) la salida normal Q. La cuarta línea muestra la condición de "inhabilitación" o "mantenimiento", del flip-flop RS. Las salidas permanecen como estaban antes de que existiese esta condición, es decir, no hay cambio en las salidas de sus estados anteriores. Indicar la salida de set, significa poner la salida Q a 1, de igual forma, la condición reset pone la salida Q a 0. La salida complementaria nos muestra lo opuesto. Estos flip-flop se pueden conseguir a través de circuitos integrados.

FLIP-FLOPS RS SINCRONO

El flip-flop RS es un dispositivo asíncrono. No opera en conjunción con un reloj o dispositivo de temporización. El flip-flop RS síncrono opera en conjunción con un reloj, en otras palabras opera sincronizadamente. Su símbolo lógico se muestra a continuación. Es igual a un flip-flop RS añadiéndole una entrada de reloj.

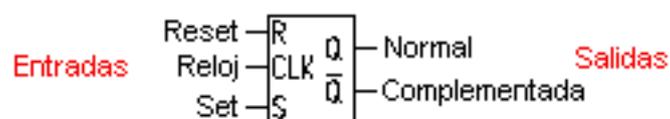


Figura 3: Símbolo de un flip-flop SR síncrono

El flip-flop RS síncrono puede implementarse con puertas **NAND**. En las siguientes ilustraciones vemos primero como se añaden dos puertas **NAND** al flip-flop RS para construir un flip-flop RS síncrono. Las puertas **NAND** 3 y 4 añaden la característica de sincronismo al cerrojo RS. La tabla de la verdad nos muestra la operación del flip-flop RS síncrono. El modo de mantenimiento se describe en la primera línea de la tabla de la verdad. Cuando un pulso de reloj llega a la entrada CLK (con 0 en las entradas R y S), las salidas no cambian, permanecen igual que antes de la llegada del pulso de reloj. Este modo también puede llamarse de "inhabilitación" del FF. La línea 2 es el modo de reset. La salida normal Q se borrará cuando un nivel ALTO active la entrada R y un pulso de reloj active la entrada de reloj CLK. Si R=1 y S=0, el FF no se pone a 0 inmediatamente, esperará hasta que el pulso del reloj pase del nivel BAJO al ALTO, y entonces se pone a 0. La línea 3 de la tabla describe el modo set del flip-flop. Un nivel ALTO activa la entrada S (con R=0 y un pulso de reloj en el nivel ALTO), poniendo la salida Q a 1. La línea 4 de la tabla de verdad es una combinación "prohibida" todas las entradas están en 1, no se utiliza porque activa ambas salidas en el nivel ALTO.

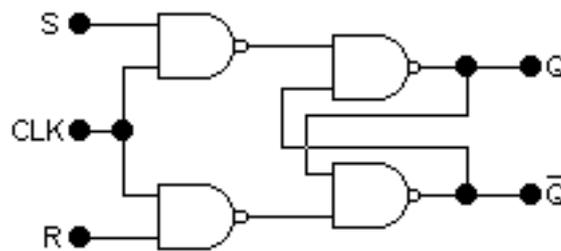


Figura 4: Circuito eléctrico equivalente de un flip-flop SR síncrono

Modo de operación	ENTRADAS			SALIDAS	
	CLK	S	R	Q	\bar{Q}
Mantenimiento	⌋	0	0	No cambia	
Reset	⌋	0	1	1	1
Set	⌋	1	0	1	0
Prohibido	⌋	1	1	1	1

Tabla 2: Tabla de verdad de un flip-flop SR síncrono

Las formas de ondas, o diagramas de tiempo, se emplean mucho y son bastante útiles para trabajar con flip-flop y circuitos lógicos secuenciales. A continuación mostraremos un

diagrama de tiempo del flip-flop RS síncrono. Las 3 líneas superiores representan las señales binarias de reloj, set y reset. Una sola salida Q se muestra en la parte inferior. Comenzando por la izquierda, llega el pulso de reloj 1, pero no tiene efecto en Q porque las entradas R y S están en el modo de mantenimiento, por tanto, la salida Q permanece a 0. En el punto a del diagrama del tiempo, la entrada de set se activa en el nivel ALTO. Después de cierto tiempo en el punto b, la salida se pone a 1. Mirar que el flip-flop ha esperado a que el pulso 2 pase del nivel BAJO a ALTO antes de activar la salida Q a 1. El pulso está presente cuando las entradas R y S están en modo de mantenimiento, y por lo tanto la salida no cambia. En el punto c la entrada de reset se activa con un nivel ALTO. Un instante posterior en el punto d la salida Q se borra ó se pone a 0, lo cual ocurre durante la transición del nivel BAJO a ALTO del pulso del reloj. En el punto e está activada la entrada de set, por ello se pone a 1 la salida Q en el punto f del diagrama de tiempos. La entrada S se desactiva y la R se activa antes del pulso 6, lo cual hace que la salida Q vaya al nivel BAJO o a la condición de reset. El pulso 7 muestra que la salida Q sigue a las entradas R Y S todo el tiempo que el reloj está en ALTA. En el punto g del diagrama de tiempos, la entrada de set (S) va a nivel ALTO y la salida Q alcanza también el nivel ALTO. Después la entrada S va a nivel BAJO. A continuación en el punto h, la entrada de reset (R) se activa por un nivel ALTO. Eso hace que la salida Q vaya al estado de reset, o nivel BAJO. La entrada R entonces vuelve al nivel BAJO, y finalmente el pulso de reloj finaliza con la transición del nivel ALTO al BAJO. Durante el pulso de reloj 7, la salida estuvo en el nivel ALTO y después en el BAJO. Observar que entre los pulsos 5 y 6 ambas entradas R y S están a 1. La condición de ambas entradas R y S en el nivel ALTO, normalmente, se considera un estado prohibido para el flip-flop. En este caso es aceptable que R y S estén en el nivel ALTO, porque el pulso de reloj está en el nivel BAJO y el flip-flop no está activado.

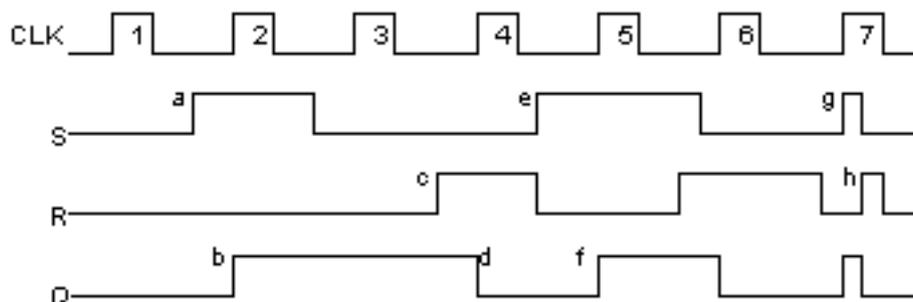


Figura 5: Diagrama de pulsos

FLIP-FLOP D

El símbolo lógico para un flip-flop D es el siguiente:

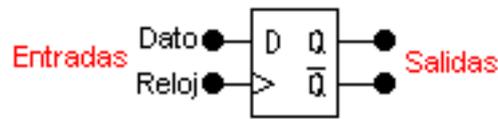


Figura 6: Símbolo lógico de un flip-flop D

Tiene solamente una entrada de datos (D), y una entrada de reloj (CLK). Las salidas Q Y 1. También se denomina " flip-flop de retardo ". Cualquiera que sea el dato en la entrada (D), éste aparece en la salida normal retardado un pulso de reloj. El dato se transfiere durante la transición del nivel BAJO al ALTO del pulso del reloj.

FLIP-FLOP JK

El símbolo lógico para un flip-flop JK es el siguiente:

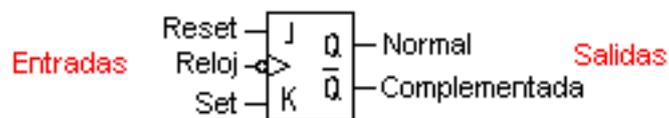


Figura 7: Símbolo lógico de un flip-flop JK

Este flip-flop se denomina como "universal" ya que los demás tipos se pueden construir a partir de él. En el símbolo anterior hay tres entradas síncronas (J, K y CLK). Las entradas J y K son entradas de datos, y la entrada de reloj transfiere el dato de las entradas a las salidas.

A continuación veremos la tabla de la verdad del flip-flop JK:

Modo de operación	ENTRADAS			SALIDAS	
	CLK R	S		Q	\bar{Q}
Mantenimiento	⌋	0	0	No cambia	
Reset	⌋	0	1	0	1

Set	\bar{J}	1	0	1	0
Conmutación	\bar{J}	1	1	Estado opuesto	

Tabla 3: Tabla de verdad para un flip-flop JK

Observamos los modos de operación en la parte izquierda y la tabla de la verdad hacia la derecha. La línea 1 muestra la condición de "mantenimiento", o inhabilitación. La condición de "reset" del flip-flop se muestra en la línea 2 de la tabla de verdad. Cuando $J=0$ y $K=1$ y llega un pulso de reloj a la entrada CLK, el flip-flop cambia a 0 ($Q=0$). La línea 3 muestra la condición de "set" del flip-flop JK. Cuando $J=1$ y $K=0$ y se presenta un pulso de reloj, la salida Q cambia a 1. La línea 4 muestra una condición muy difícil para el flip-flop JK que se denomina de conmutación.

DISPARO DE LOS FLIP-FLOPS

La mayor parte de los complicados equipos digitales operan como un sistema secuencial síncrono, lo que sugiere que un reloj maestro envíe las señales a todas las partes del sistema para la operación del mismo. Un tren de pulsos de reloj, típico, se muestra en la siguiente figura.



Figura 8: Disparo de los flip-flops

La distancia horizontal en la onda es el tiempo y la distancia vertical es la tensión.

En la figura 8 la tensión está primero en el nivel BAJO, o GND (tierra), también denominado 0 lógico.

El pulso de a muestra el "flanco anterior" o "flanco positivo" de la forma de onda, que va de la tensión GND a +5 V. Este flanco también se denomina de BAJA a ALTA (L a H). En la

parte derecha del pulso a, la onda cae de +5 V a GND. Este flanco también se denomina de ALTA a BAJA (H a L) del pulso de reloj, aunque también se conoce como " flanco negativo " o "flanco posterior " del pulso de reloj

OTROS MULTIVIBRADORES

MULTIVIBRADORES ASTABLES: RELOJES

Un multivibrador (MV) es un circuito generador de pulsos que produce una salida de onda rectangular, se clasifican en: astables, biestables o monoestables.

Los MV astables también se denominan " multivibradores autónomos ", el MV astable genera un flujo de pulsos continuos como lo vemos a continuación.



Figura 9: Multivibrador Astable

MULTIVIBRADORES BIESTABLES

Los MV biestables también se pueden llamar " flip-flops ". El MV biestable está siempre en uno de dos estados estables (set o reset). La idea básica de un MV biestable es que el pulso de entrada produzca en la salida un cambio de nivel BAJO al ALTO, como lo vemos a continuación.



Figura 10: Multivibrador biestable

MULTIVIBRADORES MONOESTABLES

Los MV mono estables también se denominan "multivibradores de un disparo". Cuando se dispara el monoestable, este produce un pulso de corta duración, como lo vemos a continuación.



Figura 11: Multivibrador monoestable