

5

Módulos aritméticos
y lógicos

PRÁCTICAS DE LABORATORIO

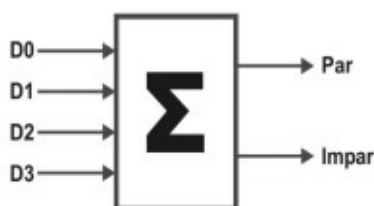
Generadores / Detectores de paridad

Objetivos

Analizar el funcionamiento de estos circuitos capaces de generar y/o detectar la paridad de un dato o palabra binaria de n bits.

Fundamentos teóricos

Este tipo de circuitos permite calcular el número de bits que valen $\square 1 \square$, dentro de un dato o palabra binaria de n bits. Tal y como se muestra en el símbolo que te mostramos, suelen disponer de dos salidas: Paridad Par y Paridad Impar. La primera se activa cuando el número de bits del dato de entrada que valen nivel $\square 1 \square$ es par. La segunda salida, Paridad Impar, se activa cuando el número de bits del dato de entrada que valen $\square 1 \square$ es impar.



Los circuitos para detectar o generar la paridad son muy empleados en los sistemas de transferencia de datos para detectar posibles errores en la comunicación. Efectivamen-

te, si un dispositivo transmite un dato con, por ejemplo, paridad par, el dispositivo receptor debe recibir el mismo dato y con la misma paridad. Si hubiera un error durante la comunicación es muy posible que el dato recibido no coincida con el transmitido. Algún bit ha cambiado de estado. El circuito detector de paridad delatará esta situación.

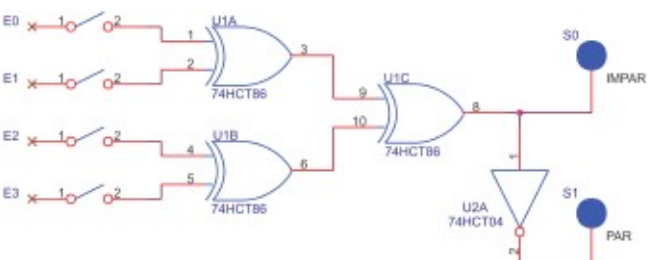
Materiales necesarios

- ☐ 1 C.I. 74HCT04 (6 puertas NOT)
- ☐ 1 C.I. 74HCT86 (4 puertas EOR)
- ☐ 1 C.I. 74HCT280 (generador/detector de paridad de 9 bits)
- ☐ Cables de conexión
- ☐ F. Alimentación de 5 Vcc o pila de 4,5 V
- ☐ Placa Protoboard para el montaje sin soldaduras
- ☐ Interruptores (9) y leds (2)
- ☐ Entrenador Universal Trainer o similar (opcional)

Desarrollo de la práctica

Generador / Detector de paridad de 4 bits

El esquema siguiente, muestra un sencillo circuito generador / detector de paridad de cuatro bits, construido con simples puertas EOR y un inversor.



Generador /Detector de paridad de 4 bits

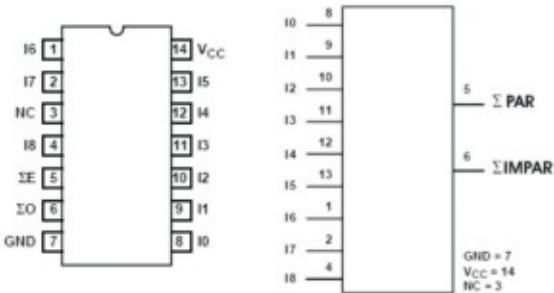
El circuito recibe un dato de 4 bits que se introduce a través de los interruptores E0-E3. Presenta dos salidas. La salida S0 se activa cuando el número de bits del dato de entrada que valen 1 sea impar. La salida S1 se activa cuando sea par.

Montar el circuito sin olvidar alimentar a ambos dispositivos integrados. Las patillas 7 se conectan con GND y las 14 con +5 Vcc. Completar la siguiente tabla de la verdad.

ENTRADAS				SALIDAS	
E3	E2	E1	E0	S1 (PAR)	S0 (IMPAR)
0	0	0	0		
0	0	0	1		
0	0	1	0		
0	0	1	1		
0	1	0	0		
0	1	0	1		
0	1	1	0		
0	1	1	1		
1	0	0	0		
1	0	0	1		
1	0	1	0		
1	0	1	1		
1	1	0	0		
1	1	0	1		
1	1	1	0		
1	1	1	1		

El dispositivo 74HCT280

Consiste en un generador / Detector de paridad de 9 bits integrado. La siguiente figura muestra su diagrama de pines así como su símbolo abreviado.

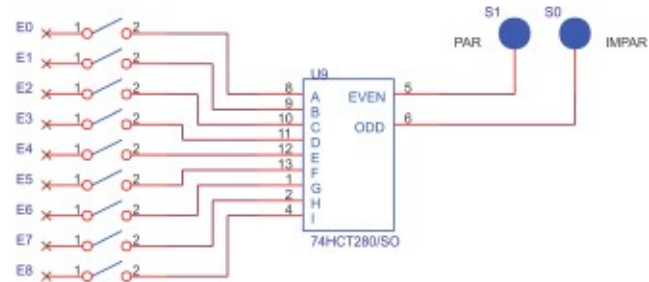


El dispositivo 74HCT280

Dispone de 9 entradas (I0-I8) por donde se introduce la palabra binaria de 9 bits. La salida ΣE (patilla 5) se activa cuando el número de bits de entrada que valen 1 es par. La salida ΣO (patilla 6) se activa cuando el número de bits de entrada que valen 1 es impar.

La alimentación se aplica por la patilla 7 (GND) y por la patilla 14 (+5 Vcc).

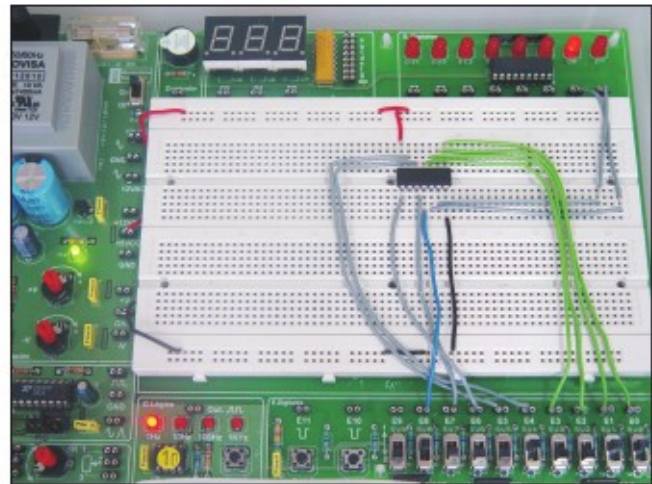
El esquema de la figura muestra el clásico circuito de aplicación del dispositivo 74HCT280. Mediante los interruptores E0-E8 se introduce la palabra de 9 bits de entrada. Las salidas S0 y S1 se activan en función de que los bits de esa palabra que valen "1" sean impar o par respectivamente.



Ejemplo de aplicación del dispositivo 74HCT280

Se sugiere montar el circuito e introducir diferentes valores binarios de 9 bits, para observar las salidas que produce el circuito. Comprobar que estas salidas están en consonancia con los valores de entrada.

La fotografía que aparece a continuación, muestra el montaje práctico del circuito anterior, montado sobre el entrenador Universal Trainer.



Montaje práctico sobre Universal Trainer

Al observar con cuidado la fotografía, se puede apreciar que el valor binario de entrada introducido mediante los interruptores E8-E0 es 100010011. Efectivamente la salida S1 se activa demostrando que el valor binario de entrada tiene un número par de niveles "1".