

4

Módulos combinacionales

Introducción

“Los fabricantes de chips electrónicos son muy listos.”

¿Por qué? Pues mira: primero sacaron a la venta chips donde se alojaban puertas AND, NOR, etc. con mayor o menor cantidad de entradas y luego se quedaron a la expectativa de ver qué hacían con ellas los usuarios.

¿Y para qué? Muy sencillo: aquellos circuitos lógicos que eran utilizados una y mil veces ellos los integraron en un chip y de esa forma ofrecían a los usuarios muchas ventajas con su uso.

Contenido

- 4.1.4. Decodificadores a partir de otros menores
- 4.1.5. Implementación de funciones lógicas con decodificadores
- 4.1.6. Conversores BCD a 7 segmentos (diseño)
- 4.3.1. Multiplexores a partir de otros menores
- 4.3.2. Propiedades de los multiplexores 2-a-1
- 4.4. Conversores de código
 - 4.4.1. Diseño

Objetivos

En este capítulo tendrás la oportunidad de conocer y aprender a utilizar los módulos que están basados en la interconexión de puertas lógicas. Se los llama combinacionales porque la salida depende de la combinación de entradas. Los módulos que analizaremos son:

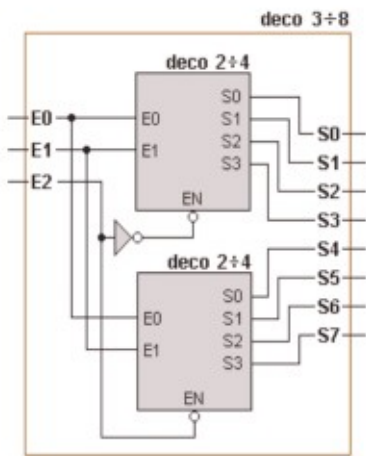
- u codificadores / decodificadores
- u multiplexores

Con las prácticas de laboratorio que se proponen en este capítulo:

- u Aprenderás a diseñar y construir varios decodificadores
- u Manejarás el display de 7 segmentos y sabrás visualizar números y letras.
- u Montarás circuitos con decodificadores BCD a 7 segmentos, multiplexores, etc.

4.1.4. Decodificadores a partir de otros menores

Pasemos a una cuestión netamente práctica: suele suceder que necesitemos un decodificador de una cierta capacidad y sólo tengamos decodificadores de menor capacidad. Vamos a plantearnos fabricar un decodificador 3-a-8 utilizando dos decodificadores 2-a-4.



E2 E1 E0			S7 S6 S5 S4				S3 S2 S1 S0				
0	0	0	0	0	0	0	0	0	0	1	
0	0	1	0	0	0	0	0	0	0	1	0
0	1	0	0	0	0	0	0	0	1	0	0
0	1	1	0	0	0	0	0	1	0	0	0
1	0	0	0	0	0	1	0	0	0	0	0
1	0	1	0	0	1	0	0	0	0	0	0
1	1	0	0	1	0	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0	0	0

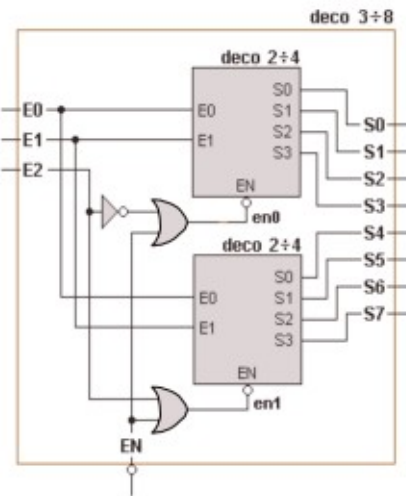
Tabla de Verdad del decodificador 3.a.8

Decodificador 3-a-8 a partir de decodificadores 2-a-4

Por último veamos cómo es posible implementar el mismo decodificador de la figura anterior pero incorporando el control de habilitación. Para ello vamos a tener en cuenta una metodología de trabajo que se describe a continuación:

- 1. Dividiendo el número de salidas deseadas entre el número de salidas del decodificador menor disponible obtendremos la cantidad necesaria de estos últimos.
- 2. Los decodificadores “menores” tendrán como entradas las líneas de entradas menos significativas del decodificador mayor.
- 3. La o las líneas de decodificación más significativas se usarán para activar el circuito de selección de los decodificadores menores.
- 4. Se deberá tener en cuenta una línea como habilitador general.

El circuito combinacional de selección se puede plantear mediante la Tabla de Verdad entre las entradas y las salidas en juego.

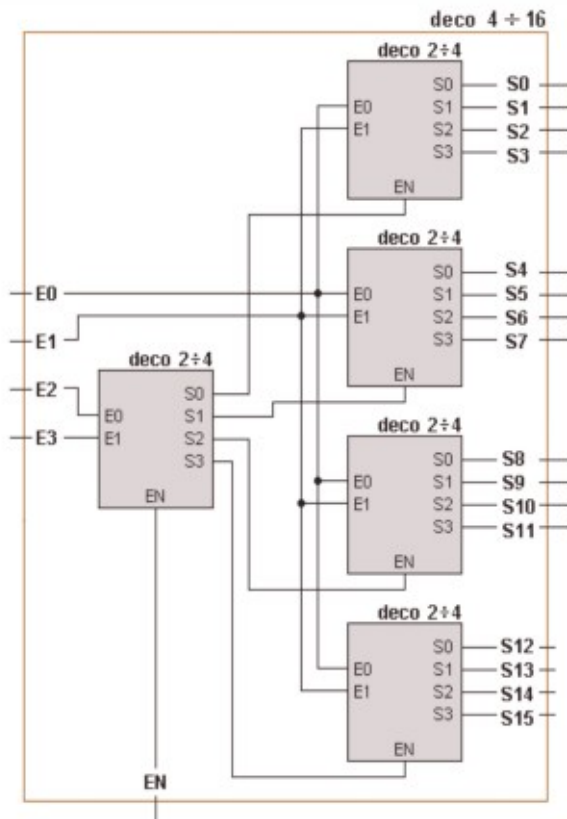


EN	E2 E1 E0 S7			S6 S5 S4 S3 S2 S1 S0								
0	0	0	0	0	0	0	0	0	0	0	1	
0	0	0	1	0	0	0	0	0	0	0	1	0
0	0	1	0	0	0	0	0	0	0	1	0	0
0	0	1	1	0	0	0	0	0	1	0	0	0
0	1	0	0	0	0	0	0	1	0	0	0	0
0	1	0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0	0	0
0	1	1	1	0	1	0	0	0	0	0	0	0
1	XXX			100				0		0000		

Tabla de Verdad del decodificador 3.a.8 con línea EN de habilitación

Implementación de un decodificador 3-a-8 con señal de inhabilitación

Nos planteamos ahora desarrollar un decodificador 4-a-16 con control de inhibición utilizando decodificadores 2-a-4. El circuito implementado se muestra a continuación.



Decodificador 4-a-16 con decodificadores 2-a-4.

4.1.5. Implementación de funciones lógicas con decodificadores

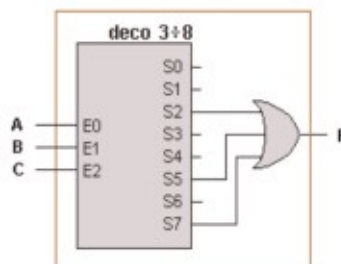
Mediante decodificadores con salida activa a nivel alto y una puerta OR podemos implementar los minitérminos de una función canónica. De forma equivalente podemos conseguirlos mediante un decodificador con salida activa a nivel bajo y una puerta AND que corresponde a los maxitérminos.

EJEMPLO:

Función canónica con minitérminos

$$F = \bar{C}.\bar{B}.\bar{A} + C.B.\bar{A} + C.B.A$$

CBA	F
0 0 0	0
0 0 1	0
0 1 0	1
0 1 1	0
1 0 0	0
1 0 1	1
1 1 0	0
1 1 1	1



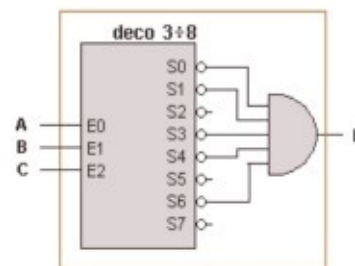
Implementación de una función con decodificador de salida activa alta

Función canónica
con maxitérminos

$$F = (C+B+A) \cdot (C+B+A) \cdot (\bar{C} + \bar{B} + \bar{A}) \cdot \dots$$

$$(\bar{C} + \bar{B} + \bar{A}) \cdot (\bar{C} + \bar{B} + \bar{A})$$

CBA	F
0 0 0	0
0 0 1	0
0 1 0	1
0 1 1	0
1 0 0	0
1 0 1	1
1 1 0	0
1 1 1	1

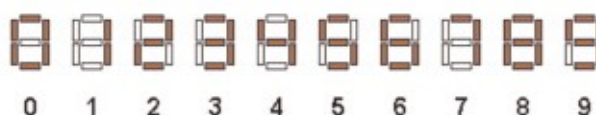


Implementación de una función con decodificador de salida activa baja

4.1.6. Conversores BCD a 7 segmentos (diseño)

A continuación podrás apreciar qué bien se forman los números.

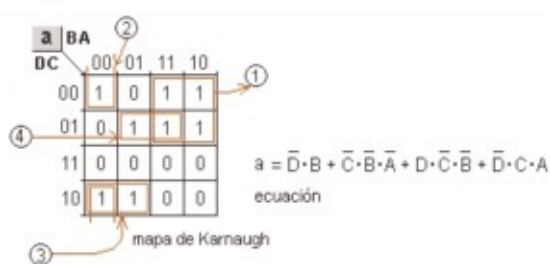
¡De acuerdo!, perfectos no están, pero al menos nos sirve para el cometido buscado, ¿no? Y con un costo muy bajo, que muchas veces es lo que importa.



Aspecto del display para los 10 dígitos decimales

Bien. Continuemos con nuestro diseño que nos brinda una excelente oportunidad de aplicar los conocimientos adquiridos en el Capítulo 2... porque algo habrás aprendido de él, ¿no? Seguro que sí. El paso siguiente será decidir cómo vamos a implementar el circuito lógico de nuestro decodificador. Una forma sería utilizar la solución canónica y otra, la forma simplificada para que nos resulte más económico. Si no opinas lo contrario, optaremos por esta última solución y así practicamos un poco más con los Mapas de Karnaugh, que seguro no te vendrá mal.

Ahora bien, haremos una cosa: nosotros te damos el empujón con el circuito de control del segmento a y tú nos sorprendes con los 6 restantes, ¿vale? ¡Perfecto! Manos a la obra.

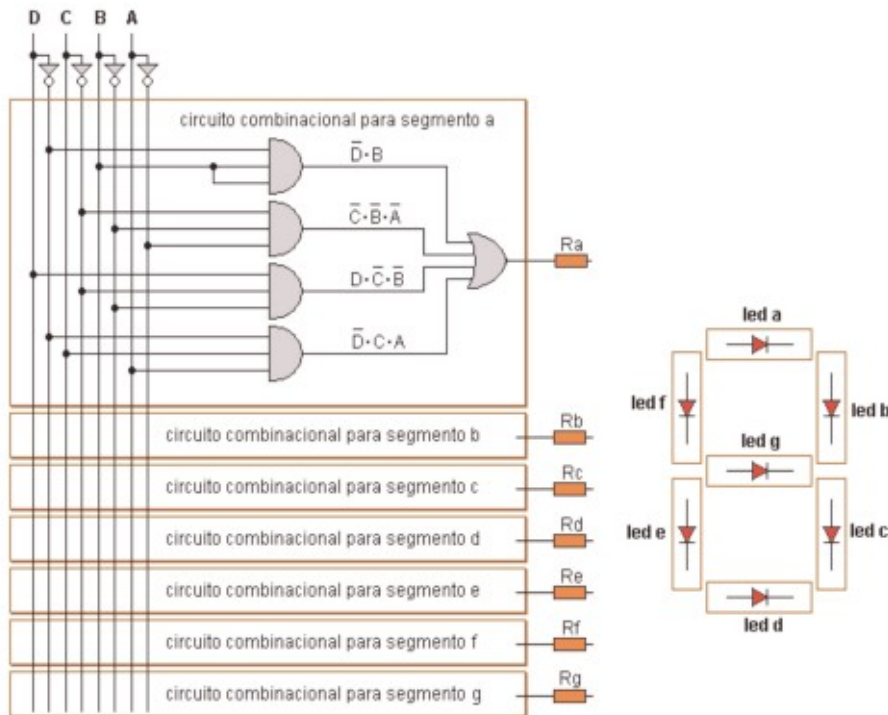


Mapa de Karnaugh para resolver el circuito de control del segmento a

Como puedes ver, en la figura siguiente hemos dibujado el circuito detallado para el control del segmento a y además te presentamos una forma muy práctica de indicar las entradas en su forma directa y negada, dispuesto de una forma que ayuda a clarificar estos dibujos, que suelen resultar un poco engorrosos. Y dejamos 6 “cajas” que deberás completar tú.

Cuando aprendas a utilizar los dos decodificadores que te mencionamos anteriormente verás que hay dos novedades:

1. Cuando la información de entrada supera el 9 en BCD aparecen caracteres “extraños”.
2. Disponen de líneas de control que facilitan la implementación práctica.



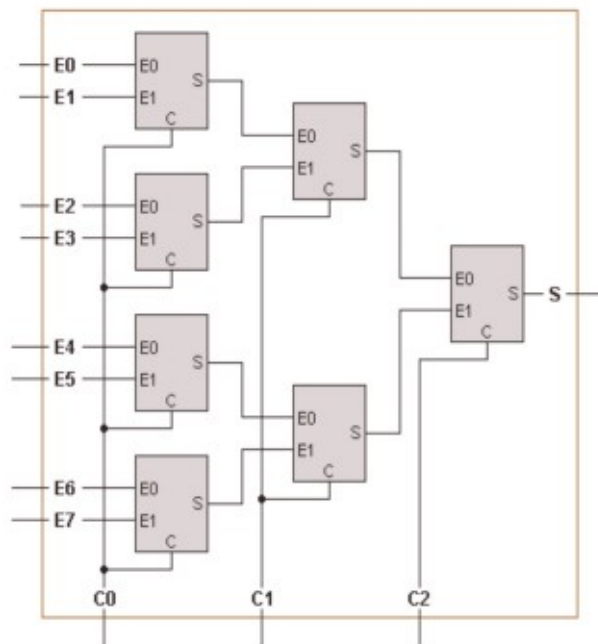
Circuito lógico para control de un display de 7 segmentos de cátodo común

Ejercicio Propuesto

Te proponemos implementar el decodificador BCD-a-7 segmentos para display de ánodo común sin caracteres “extraños”, como ocurre con el 7447 y el 7448; pero... ¡atención! Considera que solamente pueden aparecer códigos BCD en sus entradas. Eso te permitirá utilizar las X como salidas “indiferentes”. Cuando lo hayas resuelto podrás comprobar cómo se ha simplificado aún más la solución. Y, si te quedan ganas, podrías hacerlo también para display de cátodo común, y en ese caso estaríamos ante todo un experto en control de displays

4.3.1. Multiplexores a partir de otros menores

Al igual que sucede con los decodificadores, también es conveniente tener en cuenta que es frecuente el caso de necesitar un multiplexor de una determinada cantidad de entradas y sólo disponer de multiplexores de menor cantidad de entradas. A continuación nos impondremos implementar un multiplexador mux 8-a-1 utilizando mux 2-a-1.



Multiplexor 8-a-1 construido con multiplexores 2-a-1

Con un multiplexor también podríamos implementar funciones lógicas.

Para ello seguiremos los siguientes pasos:

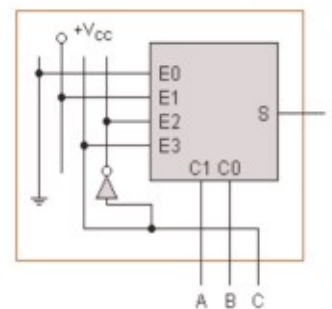
1. Elaborar la Tabla de Verdad
2. Elegir una de las entradas como dato.
3. El resto de las entradas actuarán como entradas de control.

Veamos un ejemplo práctico:

Tabla de Verdad

ABC	F
0 0 0	0
0 0 1	0
0 1 0	1
0 1 1	1
1 0 0	1
1 0 1	0
1 1 0	0
1 1 1	1

$$S = A \cdot \bar{B} + A \cdot B \cdot C + A \cdot B \cdot \bar{C}$$



Resolución de un función utilizando un multiplexor

Para nuestro ejemplo hemos usado A y B como líneas de control y la entrada C como dato del multiplexor. Analicemos un poco el esquema.

- | | | | |
|------|---------|-------------|---|
| Para | A=0yB=0 | será F = 0 | independientemente de C, por eso conectamos E0 a masa (0) |
| | A=0yB=1 | será F = 1 | independientemente de C, por eso conectamos E1 a fuente (1) |
| | A=1yB=0 | será F = C̄ | por eso conectamos a C mediante una puerta NOT |
| | A=1yB=1 | será F = C | por eso conectamos directamente a C |

4.3.2. Propiedades de los multiplexores 2-a-

- 1** PROPIEDAD 1: Si ambas entradas son iguales, el multiplexor puede omitirse, ya que la salida será siempre igual a la entrada única.
- PROPIEDAD 2: Si los valores lógicos de las entradas coinciden con el valor del pin de la selección C, el multiplexor se elimina y la salida es activada directamente por la línea de selección.
- PROPIEDAD 3: Si los valores lógicos de las entradas son los opuestos al valor de la selección, el multiplexor se elimina y la salida será la selección C pasando por un inversor.
- PROPIEDAD 4: Un multiplexor que recibe en una de las entradas una señal y en la otra entrada la negada de la misma señal, funciona como una puerta OR-exclusiva entre la señal y la selección C.

4.4 Conversores de códigos

¿Recuerdas cuando en el Capítulo 1 hablábamos de códigos?

La existencia de los conversores de código se debe a que frecuentemente recibimos información codificada en un código distinto al que utilizamos en nuestra máquina. Los fabricantes de chips digitales ofrecen un abanico muy grande de conversores, tanto por los códigos que tienen en cuenta como por los bits utilizados. Nosotros comenzaremos por diseñar uno; así estamos preparados por si alguna vez debemos hacerlo por no existir en el mercado o bien porque no podemos acceder a ellos. Por último analizaremos un CI en concreto.

4.4.1 Diseño

Vamos a imaginarnos que trabajamos en una empresa de desarrollos a medida y nos piden diseñar un sistema que convierta código binario natural a código de Gray. Lo primero que se nos ocurre es preguntar: “¿De cuántos bits lo desea?” A lo cual nos responden: “De 4 bits”. Puesto que tenemos perfectamente claro en qué consiste uno y otro código (¿verdad que sí?), lo que debemos hacer es plantear la Tabla de Verdad correspondiente:

entradas (binario natural) E3 E2 E1 E0				salida (Gray) S3 S2 S1 S0			
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	1
0	1	1	0	0	1	0	1
0	1	1	1	0	1	0	0
1	0	0	0	1	1	0	0
1	0	0	1	1	1	0	1
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	0
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	1
1	1	1	0	1	0	0	1
1	1	1	1	1	0	0	0

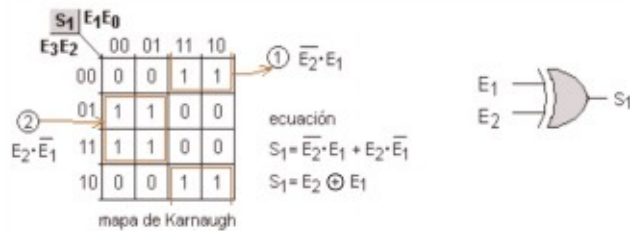
Tabla 4.3. Tabla de Verdad de ambos códigos

El método es ya muy conocido por ti, ¿verdad? Efectivamente, tenemos la opción de solucionarlo considerando la función de cada salida (S3, S2, S1 y S0) en su forma canónica o bien planteamos las enseñanzas de Karnaugh para obtener un resultado más económico. Luego, cuando veamos los chips PLD, verás qué fácil será solucio-

nar los sistemas binarios combinacionales usando la solución canónica! Pero, de momento, seguimos con nuestro proyecto. ¿A que es guay esto de jugar a ser profesional?

Ejercicio Propuesto

Bueno, como estamos seguros de tu profesionalidad sólo te ayudaremos con la solución de la salida S1 y tú terminarás el trabajo, ¿de acuerdo? No te preocupes... Las ganancias las repartiremos proporcionalmente al trabajo de cada uno. ¿Te parece bien?



Mapa de Karnaugh y ecuación de S1



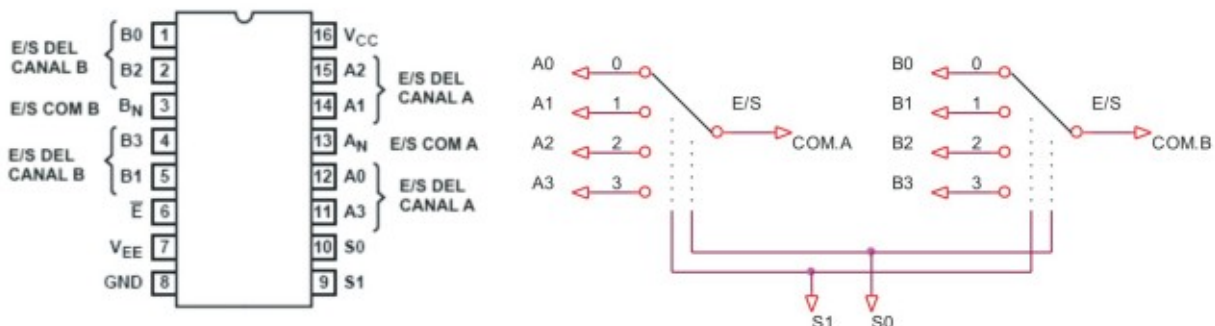
PRÁCTICAS DE LABORATORIO

Multiplexores / demultiplexores analógicos

Su funcionamiento es similar a los digitales en cuanto a la selección del canal de entrada o salida se refiere. La diferencia consiste en que los analógicos permiten recibir o distribuir señales de carácter analógico comprendidas entre un valor mínimo y máximo de tensión.

El dispositivo 74HCT4052 es un buen ejemplo. Consiste en un doble multiplexor/demultiplexor analógico de 4 canales de entrada/salida, dos señales de control y una de habilitación. A continuación se muestra la distribución de patillas así como una representación simbólica del mismo.

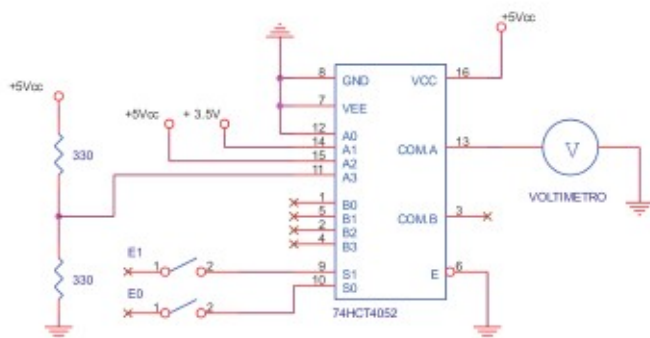
En el modo multiplexor las señales A0-A3 (B0-B3) actúan como entradas de señal analógica que se canalizan sobre la salida COM.A (COM.B). En el modo demultiplexor la señal analógica se aplica por la entrada COM.A (COM.B) y se distribuye por las salidas A0-A3 (B0-B3). Las señales de control S1 y S0 permiten seleccionar uno de los 4 canales de E/S tanto del grupo A (A0-A3) como del grupo B (B0-B3). También dispone de una señal de habilitación (E) que permite desconectar eléctricamente todos los canales, dejándolos en alta impedancia. Todo ello queda resumido en la tabla de la verdad adjunta.



El dispositivo 74HCT4052

ENTRADAS			CANALES
E	S1	S0	
0	0	0	A0,B0
0	0	1	A1,B1
0	1	0	A2,B2
0	1	1	A3,B3
1	X	X	Ninguno

El siguiente esquema muestra un sencillo ejemplo de aplicación del dispositivo 74HCT4052. Se emplean los canales del grupo A en el modo multiplexor.



Circuito de aplicación del 74HCT4052

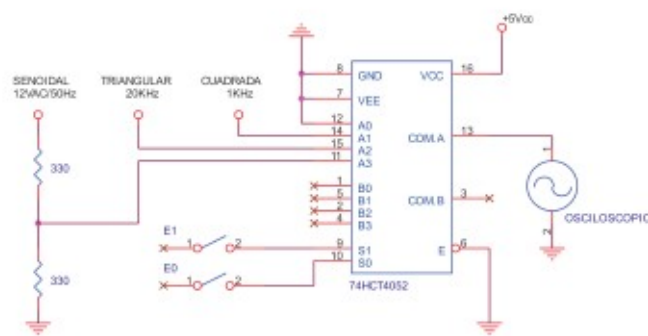
El canal A0 está conectado a GND (0 V), por el canal A1 se aplica una tensión analógica de +3,5 V, por A2 se aplica +5 V y por el canal A3 se aplican +2,5 V, obtenidos a partir de un divisor de tensión alimentado con +5 Vcc. Estas tensiones son orientativas y pueden ser de cualquier otro valor siempre que estén comprendidas dentro de los límites que soporta el dispositivo. Cualquier entrenador de carácter didáctico, como puede ser el Universal Trainer, es capaz de ofrecer diferentes tipos y valores de tensiones. Mediante un voltímetro conectado en COM.A se puede medir la tensión de salida en función del canal de entrada elegido.

Completar la siguiente tabla de la verdad en la que se relaciona la tensión de entrada en los 4 canales A0-A3 con la tensión de salida en COM.A, según el canal elegido mediante las señales de control S1 y S0.

CANAL	S1	S0	V. ENT.	V. COM.A
A0	0	0		
A1	0	1		
A2	1	0		
A3	1	1		

El esquema que se muestra a continuación es similar al anterior, sólo cambia el tipo de las señales aplicadas a las entradas A0-A3. En esta ocasión se aplican señales alternas de diferentes formas, valores y frecuencias.

Por el canal A0 se aplica una tensión de 0V. Por el canal A1 se aplica una señal de onda cuadrada de una frecuencia de 1 KHz, por el canal A2 una señal triangular de 20 KHz y por el canal A3 una señal alterna de 50Hz obtenida desde



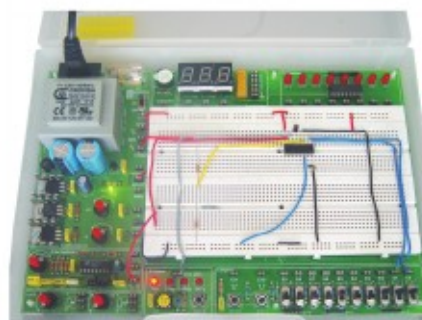
Otro circuito de aplicación para el 74HCT4052

el secundario de un transformador de 12 VAC y aplicada a través de un divisor de tensión. En la salida COM.A podemos conectar un osciloscopio que permite visualizar y comparar la señal de salida con la del canal de entrada seleccionado. Estas formas de onda aplicadas son orientativas. Su forma, frecuencia y tensión pueden variar. Si se dispone de un entrenador didáctico como el Universal Trainer o similar, las señales de entrada las podrán proporcionar los diferentes generadores disponibles.

En la siguiente tabla se sugiere anotar el tipo de señal, su frecuencia y su valor Vpp que se aplica en cada canal de entrada. En las columnas correspondientes anotar la forma, frecuencia y valor Vpp de la señal de salida obtenida en COM.A, según el canal de entrada seleccionado.

CANAL	S1	S0	ENTRADA		SALIDA	
			Forma	Freq.	Forma	Freq.
A0	0	0				
A1	0	1				
A2	1	0				
A3	1	1				

En la siguiente fotografía se muestra el montaje práctico del circuito anterior, realizado sobre el entrenador Universal Trainer. Este aporta una tensión alterna senoidal de 12 VAC procedente de la fuente de alimentación del propio entrenador. A través de dos resistencias se atenúa y aplica por el canal A3. Mediante el generador de funciones se selecciona una señal de salida de tipo triangular cuya frecuencia se ajusta a unos 20 KHz y se aplica al canal A2. El generador lógico suministra una señal de onda cuadrada de 1 KHz que se aplica por el canal A1. Finalmente el canal A0 se conecta con la línea de GND a 0V.



Montaje práctico